# PATENT ABSTRACTS OF JAPAN

(11)Publication number:

07-322130

(43)Date of publication of application: 08.12.1995

(21)Application number : 06-115382 (22)Date of filing: (51)Int.CI 27.05.1994 HO4N 5/232 HO4N 5/225 (72)Inventor: YOSHIDA JUNICHI

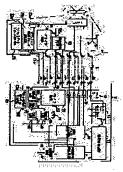
(71)Applicant: MITSUBISHI ELECTRIC CORP

FUJII YOSHIYUKI

### (54) IMAGE PICKUP DEVICE

PURPOSE: To provide an image pickup device which length of a cable that connects a camera head to a needs no phase compensating switch regardless of the

circuit 28 which compares the phases with each other between the original clock of the head 1 and the clock which is sent to the circuit 11 from the signal received from a synchronizing signal generating circuit 62 which detects the phase difference between driving pulse from the output of the circuit 27, and a which produces a solid state image pickup element an original clock received from the head 1, a circuit 10 circuit 62 into the frequency, a circuit 27 which doubles voltage, a circuit 67 which converts the output of the circuit 11 and converts the phase difference into the transfer clock generating circuit 22 and a reset gate controller 2 via a cable 3. The head 1 includes a solid CONSTITUTION: A camera head 1 is connected to a an external synchronizing signal and the synchronizing clock generating circuit 23. The controller 2 includes a state image pickup element 5, a horizontal register



### LEGAL STATUS

circuit 10.

[Date of request for examination]

Date of sending the examiner's decision of

the examiner's decision of rejection or (Kind of final disposal of application other than application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

of rejection [Number of appeal against examiner's decision

> [Date of extinction of right] decision of rejection] [Date of requesting appeal against examiner's

Copyright (C): 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (JP)

## m公開特許公報 (A)

(11)特許出願公開番号

特開平7-322130

(43) 公開日 平成7年(1195) 12月8日

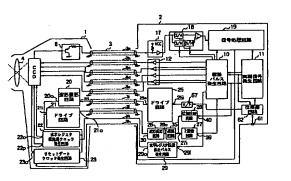
55	H04N \$	(51) Int. C1.
\$/115	/131	
	2	魏四君中
		庁内整理番号
		۴I
		技術表示箇所

		(11) 出類日	(21) 出願番号	
		平成(年(1994)5月27日	特顯平6-115382	審査請求 未請求 請求項の数4
(74) 代理人	(71) 発明者	(71) 発明者	(71) 出額人 000006013 三菱電機材	0L
(74)代理人 弁理士 恵田 守	株式会社映像システム開発研究所内 語井 培行 兵庫県姫路市于代田町810番地 三菱建模 井子今社院院町で作品でも	東京都千代田区丸の内二丁目1番1号 吉田 樹一 京都府長岡京市馬場四所1番地 三菱電機	000008013 三菱虹機株式会社	(全13頁)

### (54) 【発明の名称】 撮像装置

チによる切り換えを不要にする。 **プルがどのような長さであっても、位相補償用のスイッ** 9 カメラヘッドとコントローラを接続するケー

信号との位相差を検出し電圧に変換する回路62と、位 るクロックの位相を比較する回路28とを備える。 駆動バルス発生回路から同期信号発生回路11へ出力す 発生する回路10と、カメラヘッドからの原クロックと 前記2週倍回路の出力から固体操像素子駆動用バルスを 相差検出回路の出力を周波数に変換する回路67と、カ ートクロック発生回路22、23を備え、コントローラ 繋子5と、水平レジスタ転送クロックおよびリセットゲ 3 で接続されている。カメラヘッド 1 内には、固体極傷 メラヘッドからの原クロックを2週倍する回路27と、 2内には、外部同期と同期信号発生回路が出力する同期 【傑成】 カメラヘッド1とコントローラ2はケーブル



【特罪超长の周囲】

(2) が別体であって、 【鑽水頃1】 カメラヘッド(1)とコントローラ

発生する手段(23)とを備え、 ットゲートクロック低圧からコセットゲートクロックを 上記コントローラから供給される原クロックおよびりセ 水平レジスタ転送クロックを発生する手段(22)と、 **ら供給される原クロックおよび水平転送休止パルスから** する固体極像素子(5)と、上記コントローラ(2)か 上記カメラヘッド (1) 内に、光学像を電気信号に変換

原クロックと上記駆動バルス発生手段(10)から上記 クを上記カメラヘッド(1)に送り出すドライブ回路 と、上記位相差検出手段(62)から出力される電圧を 位相差を検出し電圧に変換する位相差検出手段(62) **信号入力端子に供給される信号と上記同期信号発生手段** を発生するクロックドライバ(12)と、上記駆動/ハル 直レジスタ転送クロック等から無直レジスタ駆動パルス 駆動用バルスを発生する駆動バルス発生手段(10) クロック、垂直レジスタ転送クロック等の固体機像素子 通倍手段から出力されるクロックから水平レジスタ転送 される原クロックを2週倍する手段(27)と、上記2 同期僭号兇生手段(11)へ出力されるクロックの位相 記電圧-周波数変換手段(67)の出力である原クロッ 周波数に変換する電圧-周波数変換手段(67)と、上 同期信号を発生する手段(11)と、外部から外部同期 ス発生手段(10)から出力されるクロックから各種の 上記コントローラ(2)内に、カメラヘッドから送り返 (25)と、上記カメラヘッド (1) から送り返される (11)から出力される水平あるいは垂直同期信号との 上記駆動バルス発生手段(10)から出力される曲

つのクロックの位相差を一定にすることを特徴とする協 7)を制御し上記位相比較手段(28)に入力される2 **ヒ記位相比較手段(28)の出力で上記2週倍手段(2** 

を比較する位相比較手段(28)とを備え、

位相比較手段(28)の出力に基づき上記2週倍手段 で行うことを特徴とする額求項1に記載の複像装置。 (27)の出力であるクロックを奇数個除去するか否か [ 類求項 3 ] .繭求項2】 上記2逓倍手段(27)の制御を、上記 上記2適倍手段 (27)の制御を、上記

クと入力クロックを1/4周期遅延させたクロックを拐 方のクロックを奇数個除去するか否かで行うことを特徴 ことを特徴とする請求項 1 に記載の振像接置。 **並相比較手段(28)の出力に基づき上記2週倍手段** ヒする請求項 1 に記載の摄像装置。 5的論理和にして入力する構成とし、上記2週倍手段 (27)の慰御を上記排他的觸唱和の入力のどちらなー (請求項4】 上記2週倍手段(27)を、入力クロッ (27)の入力を正転あるいは反転することにより行う

8

特関平7-322130

[1000]

ラが別体の極像数置に関する。 **凝像装置に関し、特にカメラヘッドとカメラコントロー** 【産業上の利用分野】本発明は、固体損健素子を用いた

は、カメラヘッド1とカメラコントローラ2と両者を接 続する接続用ケーブル3で構成されている。 【0003】カメラヘッド1は、レンズ4、固体機像素 ントローラが別体の極像接踵の構成図を示す。この接置 【従来の技術】図15に従来のカメラヘッドとカメラコ

子5、水平クロックドライバ6、リセットゲートクロッ

ク発生回路7および固体操像案子5の出力暦号用ドライ

7に示すように構成されている。 ートクロック発生回路7は、それぞれ図16および図1 【0004】水平クロックドライバ6およびリセットグ プ回路8で構成されている。

力に対して7処理、色分離、同期信号付加等の処理を行 る垂直クロックドライバ12、駆動パルス発生回路10 相差を検出し電圧に変換する位相差検出回路62、位相 さに応じて遅延量を切り換えるための遅延量切換えスイ から出力される水坪レジスタ転送クロックとリセットケ から固体操像素子5の無直レジスタ駆動バルスを発生す 信号発生回路 1 1、駆動/ハルス発生回路 1 1 から出力さ 生する駆動/ソルス発生回路10、駆動/ソルス発生回路1 のに必要な水平駆動パルスおよび垂直駆動パルス等を発 回路)63、原クロックから固体極像素子5を駆動する クロックを発生する電圧-周波数変換回路(V/F変換 路11から出力される水平あるいは垂直同期信号との位 ケーブル3m~3mとケーブル3hからなる。 出力のリセット雑音を低減するための相関2重サンプリ による減衰を補償する増幅回路17、固体撥像素子5の ラヘッドから送られてへる固体損像菜子5の出力の終始 5、リセットゲートクロックのドウイグ回路16、カメ ッチ14、水平レジスタ転送クロックのドライブ回路 1 ートクロックを選延する遅延回路13、ケーブル3の長 れる無直レジスタ転送クロックおよび電荷読出しパルス **0から出力されるクロックから同期信号を発生する同期** う信号処理回路19で構成される。 ケーブル3は、同軸 ング回路 18 および相関 2 重サンプリング回路 18の出 競検出回路62から出力される電圧を周波数に変換し原 期信号入力端子61に供給される信号と同期信号発生回 【0005】カメラコントローラ2は、外部から外部同

ម

れぞれ図18および図19に示すように構成されてい 5およびリセットゲートクロックドライブ回路 1 6はそ 【0006】水平レジスタ転送クロックドライブ回路1

õ る。このシステムの場合、外部同期(外部からの同期間 の基準である外部同期信号は外部から外部同期信号入力 囃子61に供給され、位相差検出回路62に入力され 【0007】次に動作について説明する。このシステム

ල

発生回路11に出力される信号は垂直同期/パルスで、こ になる位相比較器65と、位相比較器65の出力の低域 は"L"を出力し同相の場合はハイインビーダンス状態 号から水平あるいは垂直同期信号を分離する同期信号分 より、外部同期信号と同期信号発生回路11の同期信号 で構成されている。同期信号分離回路64から同期信号 成分だけを通過させる低域通過フィルタ(LPF)66 位相が進んでいる場合は"H"を他方が進んでいる場合 るいは垂直同期信号と同期信号発生回路 1 1 から出力さ 蘇回路64と、この分離回路64から出力される水平あ 検出出回路は、外部同期信号がコンポジットビデオ信号 位相整検出回路62の一例を示す。四20に示す位相差 との垂直方向の位相を合わせている。 のバルスで同期信号発生回路11をリセットすることに れる水平あるいは垂直同期信号の位相を検出し、一方の 経て低圧-周波数変換回路63に戻るループでPLL (VBS) の場合のものな、このロンボジットスア本語 (フェーズロックトループ)を構成して行う。図20% 20

チャージレベルサンブリング用バルス)、SHD(信号 ある)、固体操像業子5のフォトダイオードに蓄積され スタ転送クロック(現在では2相駆動が主流である)、 クロックは駆動バルス発生回路10内で1/2分周され 体操像案子5の水平駆動周波数の2倍の周波数の原クロ クおよび数種類の信号処理用バルスを発生する。 アンプ (FDA) をリセットするリセットゲートクロッ **力信号用アンプであるフローティングディフューション** レベルサンプリング用バルス)、 固体撮像素子 5 内の出 た信号電荷を垂直レジスタに読み出す電荷読出しパル 垂直レジスタ転送クロック(現在では4相駆動が主流で ックから固体操像素子 5 を駆動するのに必要な水平レジ 動パルス発生回路10では、この2つのパルスと原クロ 同期信号VDは駆動パルス発生回路10に送られる。駆 用バルスを発生する。この内、水平同期信号HDと垂直 た水平同期信号HD、垂直同期信号VDおよび信号処理 同期信号発生回路11に入力される。同期信号発生回路 ックは、駆動バルス発生回路10に入力される。この原 ス、2つの相関二重サンプリング用バルスSHP(プリ 11ではこのクロックを元に、使用するTV方式に準じ 【0008】電圧-周波数変換回路63で発生された固

【0009】垂直レジスタ転送クロックと電荷脱出しバルスは垂直クロックドライバ12に入力され、これらのバルスは垂直クロックドライバ12に入力され、これらのバルスから例えば4相駆動の場合、垂直レジスタ駆動用の3値のバルス2つと2値のバルス2つの計4つのバルスか生成される。これらの垂直レジスタ駆動バルスは、同軸ケーブル36~3eを経由して固体環像索子5に直接入力される。反射による液形壺をなくすには、終端抵抗を設けなければならないか、この場合終端抵抗を設け

ると反射による波形強よりもむしる終端抵抗による減衰(1/2に減衰する)の方が問題であるため、上記のよ

ジスタ転送クロックのドライブ回路15には同軸ケーブ 場合水平レジスタ転送クロックが入力されるとこれを波 の価格が安くなるので、同軸ケーブルを経由してカメラ の遅延回路13を経由し、水平レジスタ転送クロック用 か一方たある。水平クロックドライバ6は、2相駆動の ヘッドに入力される水平レジスタ転送クロックはどちら 係にあり、同館ケーアルは数が少ないほどケーアル全体 える必要があるが、この2つのバルスは正転と反転の関 2相駆動の場合、固体振像素子5には2つのパルスを加 抵抗を設ける。一方また、水平レジスタ転送クロックは ル用出力抵抗を、また水平クロックドライバ6には終端 場合は、反射による波形歪みが問題になるため、水平レ ドライバ6に供給される。水平レジスタ転送クロックの 館ケーレル3fを経由しカメウヘッド内の水平クロック ドライブ回路15に入力され、ドライブ回路15から同 【0010】水平レジスタ転送クロックは、位相補償用

カメラヘッド内のリセットゲートクロック発生回路7に ロックとし、これを固体操像菜子5に入力する。ただ クロック低圧にクランプして最終的なリセットゲートク らケーブル3hを経由して送られてくるリセットゲート よび振幅変換し、さらに"乚" レベルをコントローラか セットゲートクロックが入力されるとこれを波形整形お 抗を設ける。リセットゲートクロック発生回路7は、リ **必、またリセットゲートクロック発生回路7には終始的** ロックのドライブ回路16には同軸ケーブル用出力抵抗 射による波形面みの発生を防ぐため、リセットゲートク ロックの場合も水平レジスタ転送クロックと同様に、反 され、ドライブ回路16から同軸ケーブル3gを経由し 由しリセットゲートクロック用ドライブ回路16に入力 夕転送クロックと同様、位相補償用の選延回路13を紹 ートクロックをリセットゲートクロック個圧にクランフ リセットゲートクロックを入力する。リセットゲートク し、振幅変換した振幅値が十分大きな場合はリセットゲ 【0011】リセットゲートクロックRGは水平レジス

【0012】固体操像素子5はレンズ4を通して表面に 結像される光学像を受け、垂直レジスタ駆動バルス、水 年レジスタ駆動バルスおよびリセットゲートクロックに より規御されて、この光学像を電気信号に変換し、この 電気信号を出力する。固体操像素子5から出力される信号は、固体振像素子出力信号用ドライブ回路8、同軸ケ

一プル3 aを経由してコントローラ 2 内の増幅回路 1 7に入力される。この固体機像架子 5 から出力される信号の場合も、反射による波形遥みの発生を防ぐため、固体機像架子出力信号用ドライブ回路 8 には同軸ケレーブル用出力抵抗を、また増幅回路 7 には終端抵抗を設ける。増幅回路 1 7 は、入力信号の終端による振幅の減衰を補増、、補償した信号を相関二重サンプリング回路 1 8 に貸し、補償した信号を相関二重サンプリング回路 1 8 に入力する。

ジレベルと信号の位相を合わせるためである。 さらにSHDでサンブルホールドするのは、プリチャー ホールドし、両者の芸を芸動アンプによりとっている。 は相関二重サンプリング用バルスSHDで各々サンプル は相関二重サンプリング用バルスSHPで、信号レベル よりリセット雑音を低減する。図15に示す相関二盤サ 同量含まれていることを利用し、両者の差をとることに 聞 toのプリチャージフスルと規聞 tsの信号レスルに る回路である。原理は、リセット雑音は図21に示す期 重サンプリング回路18は、このリセット雑音を低減す セット雑音 (図21ではΔNrで示す) である。相関ニ が、これらの中で支配的な雑音は、フローティングディ 撮像素子5の出力信号には種類の雑音が含まれている る固体頻像素子5の出力信号を図21に示す。この固体 プリチャージレベルをSHPでサンプルホールドした後 フュージョン(FD)の周期的なリセットに起因するリ **【0013】相関二重サンプリング回路18に入力され** ンアリング回路 18の回路密たは、アリチャージフスラ

**形整形および抵幅変換して水平レジスタ駆動/パルスの一** 

方とし、このクロックの反転クロックを残る一方として 固体機像菜子5に入力する。図示の例では、2つのパル スの一方日1のみがカメラコントローラ2からカメラヘッド1に供給され、カメラヘッド1内で他方日2が形成

の位相を図21に示す。この図から判るように、駆動バ 明したところで遅延回路13の必要性について触れてお およびリセットゲートクロックが固体操像素子5に遅延 発生回路10から出力される水平レジスタ転送クロック 動パルス発生回路10から出力される相関二重サンプリ ルス発生回路10は本来カメラヘッドとカメラコントロ バルスSHPとSHDおよび固体機像素子5の出力信号 ットゲートクロック(RG)、柏関二重サンプリンゲ用 夕転送クロック(2相駆動の場合はH1とH2)、 リセ く。駆動パルス発生回路10から出力される水平レジス されている。 が無く入力され、これらのクロックに同期して出力信号 9筋み出されたとき最適なタイミングになるように設計 ング用バルスSHPおよびSHDは、同じく駆動バルス 【0014】相関二重サンプリング回路18について勘 - シが一体のカメラ用に開発されたものであるから、駆

【0015】ヘッド分離型カメラの場合は、駆動バルス発生回路10と固体機像素子5かケーブル3を介して離れているため、固体機像素子5の出力信号は、ケーブルの長さの2倍分(水平レジスタ転送クロックおよびりセットゲートクロックがケーブルを伝搬する分と固体機像素子5の出力信号が伝搬する分)、相関二重サンプリンタボ5の出力信号が伝搬する分)、相関二重サンプリンタボ7ルスSHPおよびSHDに対して遅れる。含い方を変えれば、固体極像素子5の出力信号に対して相関二

ぱかい アンドリング用バルスSHPおよびSHDは、ケーフ畑サンプリング用バルスSHPおよびSHDは、ケーフルの長さの2倍分進む。この様子を図21の下の方に示

特関平7-322130

は日本 いの長さの2倍分進む。この様子を図21の下の方に示える目号 いの長さの2倍分進む。この様子を図21の下の方に示え、図体 す。従って、相関二重サンプリングを図体頻像素子5の一プル 出力信号に施すためには、SHPとSHDを図体頻像素 ける。 子5の出力信号と同じ量だけ遅延させるか、あるいは図 は極線象子5の出力信号が丁度1周期の整数倍遅れるよぼりを は極線象子5の出力信号が丁度1周期の整数倍遅れるよぼ28を相 体振像案子5の出力信号が丁度1周期の整数倍遅れるよび18に つックを通らせる必要がある。そこで図示の例では、水 ロックを通らせる必要がある。そこで図示の例では、水 ロックを通らせる必要がある。そこで図示の例では、水 ロックを通らせる必要がある。そこで図示の例では、水

信号の発生を選延させている。また、長さの異なるケーブルに切り換える場合は、ケーブルの長さに起因した位相ズレの量が異なるため、位相補償用の選延量をスイッチ14により切り換える必要がある。
【0016】相隔二重サンブリング回路によりリセット

Gを選延させ、これにより固体協像素子5における電気

(0016)相関二重サンプリング回路によりリセット維音を低減された信号は、信号処理回路19に入力され、少処理、色分離、同期信号付加等の処理を受けてTV信号となり出力される。

[0017]

0 【発明が解決しようとする課題】従来の協総教団は以上 のように構成されているので、ケーブルによって生じる 回体操像祭子出力信号と相関2重サンプリング用バルス 回位相ズレを補償するため、その都度、使用するケーブ ルの長さに応じて遅延回路の遷延量をスイッチにより切り換えなければならず、また、遅延回路に位相補信用の 遅延量がないケーブルは使用できないという問題点があった。

【0018】本発明は上記の問題点を解消するためになされたもので、カメラヘッドとコントローラを接続する ケーブルがどのような長さであっても、位相補傾用の遅延量をスイッチにより切り換える必要の無い、言い方を 変えれば、遅延量切り換え不要な機像装置を仰ることを目的とする。

[0019]

【課題を解決するための手段】 橋東頃1の操像装置は、 カメラヘッド(1)とコントローラ(2)が別体であっ て、上記カメラヘッド(1)内に、光学像を確気信号に 変換する固体操像祭子(5)と、上記コントローラ

(2)から供給される原クロックおよび水平転送休止バ(0)ルスから水平レジスを転送クロックを発生する手段(2)と、上記コントローラから供給される原クロックおよびリセットゲートクロック選圧からリセットゲートクロックを発生する手段(23)とを備え、上記コントローラ(2)内に、カメラヘッドから送り返される原クロックを2週倍する手段(27)と、上記2週倍手段から出力されるクロックから水平レジスを転送クロック、垂直レジスを転送クロック等の固体撮像素子駆動用バルスを発生する原動(10)から出力される垂直レジスを転送っている場合である。

9 特開平7-322130

段(28)に入力される2つのクロックの位相差を一定 出力で上記2週倍手段(27)を制御し上記位相比較手 駆動バルス発生手段(10)から上記同期信号発生手段 カメラヘッド (1) から送り返される原クロックと上記 ヘッド (1) に送り出すドライブ回路 (25) と、上記 变換手段(67)の出力である原クロックを上記カメラ る電圧 - 周波数変換手段(67)と、上記電圧 - 周波数 検出手段(62)から出力される電圧を周波数に変換す 包圧に変換する位相差検出手段(62)と、上記位相差 力される水平あるいは垂直同期信号との位相差を検出し 供給される信号と上記同期信号発生手段 (11)から出 する手段(11)と、外部から外部同期信号入力始子に 0)から出力されるクロックから各種の同期信号を発生 ックドライバ (12) と、上記駆動パルス発生手段 (1 にすることを特徴とする。 較手段(28)とを備え、上記位相比較手段(28)の (11)へ出力されるクロックの位相を比較する位相比 =

記2 連倍手段 (27)の制御を、上記位相比較手段 (2 るクロックを奇数個除去するか否かで行うことを特徴と 8)の出力に基づき上記2連倍手段(27)の出力であ 【0020】 顔坎頃2は、 顔坎頃1の装置において、上

20

記2 通倍手段(27)の制御を、上記位相比較手段(2 個除去するか否かで行うことを特徴とする。 紀2連倍手段(27)を、入力クロックと入力クロック 転あるいは反転することにより行うことを特徴とする。 記排他的論理和の入力のどちらか一方のクロックを壱数 を 1 / 4 周期遅延させたクロックを排他的論理和にして 8)の出力に基づき上記2 逓倍手段 (27)の入力を正 【0021】 絹状頃3は、 絹状頃1の装置において、上 入力する構成とし、上記2週倍手段(27)の制御を上 [0022] 鯖求項4は、鯖求項1の装置において、上 [0023] 30

スの位相はケーブルの長さに拘わらず常に一定となる。 段(10)から出力される相関二位サンプリング用バル るクロックの位相差を一定にするよう制御をしているた 従って、カメラヘッド(1)とカメラコントローラ め、固体機像素子(5)の出力と前記駆動パルス発生手 ッド(1)に送り返し、これと前記駆動パルス発生手段 数変換手段(67)の出力である原クロックをカメラへ (10) から前記同期信号発生手段 (11) へ出力され 【作用】 請求項 1の発明に係る操像装置は、電圧-周波

る必要の無い、つまり遅延量切り換えスイッチが不要な 横線被固を行ることがである。 っても、位相補償用の遅延量をスイッチにより切り換え (2) を接続するケーブル (3) がどのような長さであ

単な回路構成で実現できる。 【0024】請求項2によれば、上記の所望の動作が間

の選延時間の如何に拘らず、所望の動作が実現できる。 【0025】鏑坎頃3によれば、駆動バルス発生手段内

> るいはそれらのバラッキ等に起因する不安定性がない。 [0027] 【0026】 請求頃4では、回路素子遵延や温度変化あ

ットゲートクロックを発生する。ドライブ回路21は例 由して入力されるリセットゲートクロック電圧からリセ 0はコントローラ2から同軸ケーブル3iを経由して入 されたクロックとコントローラ 2 からケーブル 3 hを紹 **力される原クロックの波形を繋形する。ドライブ回路2** 図1は本発明の一実施例による協像装置を示す図であ する。リセットゲートクロック発生回路23は波形整形 転送休止パルスから水平レジスタ駆動用クロックを発生 2からケーブル3kを経由して入力される水平レジスタ 生回路 2 2は波形盤形された原クロックとコントローラ 返すためのものである。水平レジスタ駆動用クロック発 1は波形整形された原クロックをコントローラ 2に送り 1 において、カメラヘッド 1 内にある、波形盤形回路 2 19は従来例と同様であるのでその説明を省略する。図 る。図1において1~5、8、10~12および17~ えば図2に示すように構成されている。

吸収する。 2 通倍回路 2 7 は遠延回路 3 5 の出力を 2 通 固体撮像累子5の水平駆動周波数である原クロックを発 整形され遅延されたクロック)と駆動バルス発生回路 1 倍する。位相比較回路28は遠延回路35の出力(波形 力と相関二重サンプリング用パルスとの一定の位相甚を 形する。遅延回路 (DL) 35は、固体操像素子5の出 生する。ドライブ回路25はこの原クロックを同軸ケー 換回路67は位相検出回路62の出力を周波数に変換し 較し、比較した結果に基づさ2つのクロックの位相差を 0から同期信号発生回路11に出力されるクロックを比 カメラヘッド 1 から送り返される原クロックの波形を整 **プルに送り出すためのものである。波形騒形回路26は** 一定にするように2遮倍回路27を制御する。 【0028】コントローラ2内にある、毎圧ー周波数数

5 ル3 kを経由してカメラヘッド内の水平レジスタ駆動用 レジスタの転送休止期間を示すパルス)を発生しケーフ は図3に示すように構成されている。 クロック発生回路に入力する。ドライブ回路25は例え スのどれが10かの水平フジスタ階浅休止/シアス(水平 は駆動パルス発生回路10から出力される水平駆動パル 【0029】水平レジスタ転送休止パルス発生回路29

れる原クロックの入力結子である。終始抵抗31とコン ある。図4において、30はカメラヘッドから送り返さ よび位相比較回路28に与えられる。 は上記のように遅延回路35を介して2週倍回路27ま 波形整形回路26を構成する。波形整形回路26の出力 デンサ32とフィードバック抵抗33とNOT34とで 【0030】図4は波形整形回路26の一例を示す図で

【0031】図5は、この実施例で用いられる2週倍回

倍回路27の出力端子である。40は同期信号発生回路 路27と位相比較回路28を示す図である。39は2週 と入力増子40に供給されるクロックのエッジを揃える る。位相比較回路28は、遅延回路35のクロック出力 路27は、遅延回路35から入力されるクロックを1/ 11に入力されるクロックの入力増子である。 2 遊倍回 ための選延回路 4 1と EX-OR 4 2とで構成されてい - OR)37および輪ح和回路(OR)38で構成され 4周期遅延する遅延回路36、排他的論理和回路(EX

路20、ドライブ回路21、同軸ケーブル3j、波形整 コントローラ2の同期)は電圧-周波数変換回路67か 部同期(外部同期信号に対するカメラヘッド1とカメラ ク)に変換し、ドライブ回路25に入力する。 体操像案子5の水平駆動周波数のクロック(原クロッ 路67は、この位相検出回路62の出力である電圧を固 され、位相検出回路62に入力される。位相検出回路6 部同期倡号は外部から外部同期信号入力端子 6 1に供給 でPLLを構成して行う。このシステムの基準である外 回路62を経て電圧-周波数変換回路67に戻るループ ス発生回路10、同期信号発生回路11および位相検出 形回路26、選延回路35、2速倍回路27、駆動パル 6、ドルイノ回路25、回軸ケーブル3i、波形繋形回 て、以下その動作を説明する。このシステムの場合、タ - 周波数変換回路 6 7 に入力する。電圧 - 周波数変換回 1からの周期信号の位相差を検出し電圧に変換して電圧 2は従来例と同様、外部同期信号と同期信号発生回路 1 **【0032】上記のように構成された機像装置につい** 

よびリセットゲートクロック発生回路23に入力され 回路21、水平レジスタ駆動用クロック発生回路22お **抗、 カメラヘッド 1内の波形整形回路 2 0 には終端抵抗 ラ2内のドライブ回路25には同軸ケーブル用出力抵** が怠破にされ振幅もロジックレベルに戻される。 原クロ ヘッド内の波形磐形回路20m入力され、 ここたエッジ クロックを発生し固体操像素子5に入力する。 ルスでゲートすることにより一方の(第1の栢の)水平 コントローラから送られて来る水平レジスタ転送休止パ 26に送り返される。水平レジスタ駆動用クロック発生 る。ドライブ回路21に入力された原クロックは、ケー が設けてある。波形整形された原クロックは、ドライフ ックの反射による波形盛みを避けるために、コントロー ることにより他方の(第2の柏の)の水平レジスタ転送 レジスタ転送クロックを、またこのクロックの反転をと 回路22では2相駆動の場合、入力された原クロックを **プル3jを経由しカメラコントローラ内の波形整形回路** 【0033】原クロックはケーブル3iを経由しカメラ

駆動バルスのどれか1つに基づき水平レジスタ転送休止 ーラ 2内の駆動バルス発生回路10から出力される水平 ベルス発生回路29で発生される。2相駆動の場合の水 【0034】水平レジスタ転送休止バルスは、ロントロ

特関平7-322130

に、その回路の主要部の波形を図7に示す。この回路な は、コンデンサへの充電と放電の時定数を変えることに 平レジスタ転送休止パルス発生回路29の一例を図6 している。 より、入力(水平レジスタ転送クロックH2)が長期間 "L"である期間(水平レジスタ転送休止期間)を検出

ローラから送られてくるリセットゲートクロック電圧に 入力された原クロックを数分回路により数分してバルス クランプし固体協像索子5に入力する。 幅を胸盤し、この/Sルスの"L" レベルをカメラコント る原クロックの波形を整形する波形整形回路20、水平 【0036】図8に、コントローラか2から送られてへ 【0035】リセットゲートクロック発生回路23では

コントローラ 2に送り返すカメラヘッド内のドライブ回 路21には同軸ケーブル用出力抵抗を、原クロックの入 ると同時に振幅をロジックレベルに戻す。原クロックを ックを波形整形回路26で受け、そのエッジを怠峻にす 土製部の波形を示す。 【0037】コントローラ2では、送り返された原クロ

ートクロック発生回路23の一例を、図りにその回路の レジスタ駆動用クロック発生回路22およびリセットケ

**増抵抗を扱けている。** 

**力館であるコントロール2内の波形盤形回路26には終** 

10月のクロックの位相差、あるいは、固体撮像案子5 の長さに拘わらず一定となる。遅延回路35はこの固体 と同じ周波数の原クロックを2 週倍して生成される。従 生回路10用のクロックは、固体機像素子5の出力信号 **メレを吸収し両者の位相を最適にするためのものであ** される相関二重サンプリング回路用パルスの一定の位相 協像素子5の出力信号と駆動パルス発生回路10で発生 二盆サンアリング回路用バルスとの位相差は、ケーアル の出力信号と駆動パルス発生回路 10 で発生される相関 って、固体機像禁子5の出力信号と駆動パルス発生回路 して送り返されてくる固体協像案子5の水平駆動周波数 用同軸ケーブル3aと同特性の同軸ケーブル3jを経由 【0038】本発明では従来例と異なり、駆動バルス発

クと同期信号発生回路11に入力されるクロックの位相 位相差がいつも一定の場合にしか成立しない。 ところ **蒄を一定にする必要がある。** 入力を単に1/2分周しただけのクロックなので、送り ロックと同期信号発生回路11に入力されるクロックの なる2つの位相差が存在してしまう。従って、原クロッ 生回路11に入力されるクロックには互いに180度異 回路10に入力するだけでは、原クロックと同期信号発 返されてくる原クロックを単に2遮倍し駆動パルス発生 に出力されるクロックは、駆動パルス発生回路10内で が、駆動パルス発生回路10から同期信号発生回路11 【0039】但し、以上のことは送り返されてくる原ク

ö 【0040】図5に示す位相比較回路28内のEX-0

3

不明 (図10では×と表示) だが、現時点で仮に遅延回 揃えられ、そのクロックと共に位相比較用のEX-OR 出力を単に1/2分周したものであるから、次の半周期 示すようにクロックが 1個除去された形になる。入力站 EX-OR42は"L"を出力するため、EX-OR3 することになる。両者の位相が一致すると位相比較用の では"L"に反転するため、半周期で両者の位相が一致 方、選延回路41を通った原クロックの方は次の半周期 た)となるエッジが無いため"L"のままとなる。— ではトリガー (図10ではトリガーは立ち上がりとし 子40に供給されるクロックは、この2週倍回路27の ス発生回路 1 0 用クロックで 0 R 3 8 の出力) は、図に 出力する。このため、2速倍回路27の出力(駆動パル 半周期の間は、位相比較用のEX-0R42は"H"を 給されるクロックが"L"になったとする。するとこの 路41を通った原クロックが"H"、 入力端子40に供 入力クロックの位相差が一義的にされる。以前の位相は 4 2に入力される。2 つのクロックが位相比較用のEX 回路41により入力端子40に供給されるクロック(同 7の出力はOR38をそのまま通過し、その状態が維持 - O R 4 2 に入力されると以下の動作によって、2 つの 朝暦号発生回路11に入力されるクロック)とエッジを 【0041】 選延回路35を通った原クロックは、遅延

【0042】上近の説明は、カメラヘッドから送り出される原クロックと駆動バルス発生回路10から同期信号発生回路11に出力されるクロックの位相差を一定にするために、比較回路28の出力に基づいて2速倍回路27の出力であるクロックを1個除去するか否かという制御方法を行ったが、この除去する個数が1以外の奇数であっても同様な効果が得られる。

【0043】以上のように実施例1の機像装置は、毎年一周波数変換手段(67)の出力である原クロックを力メラヘッド(1)に送り返し、これと前記駆動バルス発生手段(10)から前記回期信号発生手段(11)へ出力されるクロックの位相差を一定にするよう制御をしているため、固体操像素子(5)の出力と前記駆動バルス発生手段(10)から出力される相隔二重サンプリング用バルスの位相はケーブルの長さに拘むらず常に一定となる。従って、カメラヘッド(1)とカメラコントローラ(2)を接続するケーブル(3)がどのような長さであっても、位相補信用の選延量をスイッチにより切り換

える必要の無い、 つまり遅延費切り換えスイッチが不要な頻像数置を得ることができる。 しかも、 図示のように、 2適倍回路27と比較回路28か比較的簡単な回路で来現できる。

【0044】実施例2

この実施例は、その全体的構成は実施例1と同じて、図1に示す如くであるが、実施例1とは、2通倍回路27 および位相比較回路28の構成が異なる。以下これについて図11を参照して説明する。図11において、図5と同一の符号は同一または対応する部材を示す。

【0045】43は選延回路35の出力と入力端子40に供給されるクロックの位相を比較するD型フリップフロップ(DFF)である。68は、電源投入直後にDFF43をリセットするリセット回路で、抵抗44と、コンデンサ45とNOT46および47とで構成されている。EX→OR48は選延回路35から入力されるクロックを位相比較用のDFF43の出力に基づき正転あるいは反転して出力する。遅延回路36はEX→OR48から入力されるクロックを1/4周期選延する。選延回路36とEX→OR49とで2週倍回路27を構成している。

【0046】実施例2の全体的動作は実施例1と同じである。しかし、2週倍回路27および位相比較回路28の動作が興なる。即ち、位相比較回路として用いられているDFF43は、原クロックと同期信号発生回路11に入力されるクロックの位相を比較する。また、EX-OR48は2つの位相を比較する。また、EX-OR48は2つの位相を比較した結果、予め決定した位相関係ないし位相差(この回路例ではDFF43のC入力即ち入力増子40に供給されるクロックの立ち上がりにDFF43のD入力即ち遷延延回路35の出力がにDFF43のD入力即ち遷延延回路35の出力がにDFF43のD入力即ち遷延延回路35の出力がにDFF43のD入力即ち遷延延回路35の出力が

クロック(EX-OR48の出力)を反転することにより2つのクロックの位相差を一定にする。この動作を図12のタイミンテャート図を使って詳し、説明する。100471先ず、遵廷回路35の出力と入力端子40に供給されるクロック(同類信号発生回路11に入力されるクロック)が予め定めた位相関係、つまり正常な位相及の場合を考える。この場合は図12のタイミンティート図から明らかなように位相比較の結果であるDFF43のQ出力は"L"であるから、EX-OR48の出力にはなんの変化も無く、遵廷回路35からの入力かそのまま出力される。従って、駆動バルス発生回路11に出力されるクロックにもなんの変化も無く、位相比較する同クロックの位相はそのまま維持される。

【0048】遅延回路35の出力と入力増子40に供給されるクロックが予め決定した位相関係と逆な場合は、つまり異常な場合は、図12のタイミングチャート図から明らかなように位相比較の結果であるDFF43のQ出力は"H"であるから、入力増子40に供給されるクロックの立ち上がりのタイミングでEX-0R48の出

力は反転する。このクロックが次段の2週倍回路に入力されると図12のタイミングチャート図から明らかなように、入力増子40に供給されるクロックは、EX-OR48の出力が反転され無い場合(つまり位相比較用DFF43を動作させない場合で図12の下の方に示す)に比べ、クロックが1個多くなる。従って、半周期後には両者のクロックの位相は予め定めた位相、つまり正角なが4個にでよ

【0049】上記の実施例では位相比較をするのは、DFP43のリセットが解けてから入力端子40に供給されるクロック(同期信号発生回路11に入力されるクロック)の最初の立上りだけという構成となっているが、この比較をTV信号の水平同期あるいは垂直周期毎に行う様な構成でもよい。

【0050】以上のような疾病例2の2週倍回路27および位相比較回路28を用いれば、駆動パルス発生手段内の遅延時間の如何に拘らず、所望の動作が実現できる。即ち、実施例1の回路では、駆動パルス発生手段内の遅延時間(基準クロックを1/2分周し、出力するまでの時間)が基準クロックの周期の1/2以上の場合には、所望の動作が実現できないが、実施例2ではこのような問題が解決できる。

【0051】実施例3

この実施例は、その全体的構成は実施例1と同じて、図1に示す如くであるが、実施例1とは、2連倍回路271と示す如くであるが、実施例1とは、2連倍回路27 および位相比較回路28の構成が異なる。以下これについて図13を参照して説明する。図13において、図5いて図一の符号は同一または対応する部材を示す。

【0052】NOT50および51は遅延回路35の出力のファンアウト数を増やすために限けられたバッファである。QR52および53、DFF54および55、である。QR52および53、CR57から入力されるクロックを1/4同期運転する回路36、ならびにEX-0R59で2速倍回路27が構成される。60は位相比較回路(DFF54および55)のリセット信号入力増予にある。

【0053】実施例3の全体的動作は実施例1と同じである。しかし、2連倍回路27および位相比較器28の動作が異なる。即も、0R52および53、DFF54
および55、ならびにEX-0R56で構成する位相比較回路28は、原クロックと同期信号発生回路11に入力されるクロックの位相を比較した結果、予め定めた位相関係(この回路例では0R52の出力の立上りで入力端子40に供給されるクロックが"L")ではない場合には、入力されるクロックを2人力されるクロックを1/4画期程延させたクロックを10スがような102の最近させたクロックを1/4画期最近させたクロックで、1つの例では正確に含え

(8) 特開平7-322130

は、遅延させる前のクロックに対し側御を行っているが、遅延の後のクロックに対する側御と等価である)の方を1個除去することによりクロックの位相箋を一定にする。この動作を図14のタイミングチャート図を使って詳しく説明する。

【0054】先ず、NOT50の出力(送り返されてきた原クロック)と入力端子40に供給されるクロック(同期信号発生回路11に入力されるクロック)が予めためた位相、つまり正常な位相の場合を考える。この場合は図14のタイミングチャート図から明らかなように、リセットが解除になっても、DFF55の出力も"L"(従ってクロック入力端子Cにはクロックが供給され続ける)であるから、DFF55の出力も"L"(従ってこち5のクロック入力端子Cにもクロックが供され続ける)であるから、DFF55の出力も"L"(だってこち5のクロック入力端子Cにもクロックが供給され続ける)であるから、運延回路36に入力されるクロックに変化はなく、2速倍回路27の出力であり駆動パルス発生回路10に出力されるクロックに変化はなく、2速倍回路270出力であり駆動パルス発生回路10に出力されるクロックの位相はそのまま維持される。

クは、図14のタイミングチャート図から明らかなよろ カはDFF54のQ出力を1クロック選らせて出力する に、単に2逓倍して得られるクロックに比べ、クロック の出力(クロック 1個の除去もなく 1/4周期の遅延も ため、0R53の出力の2番目の立上りで"H"を出力 的に"H"となるため、以後DFF54はリセットがか る。このQ出力が"H"になるとOR52の出力は強制 力の最初の立上りでDFF54のQ出力は"H"とな 者のクロックの位相は予め決定した位相、つまり正常な 数が1個少なくなっている。従って、1周期半後には両 ないクロック)から2連倍回路により生成されるクロッ せたクロックとOR58(OR3による遅延の補償用) る。このクロックを遅近回路36により1/4周期送ら OR 57の出力はクロックが1個除去されたものとな 間 "H"を出力する。この出力をOR57に入力すると になってからOR52の出力の最初の立上りから1周期 する。従って、EX-OR56の出力はリセットが解除 かるまでこの伏態を維持する。一方、DFF55のQ出 相関係と逆な場合は、つまり異常な場合は、図 1 4の夕 号発生回路11に入力されるクロック)が予め定めた位 ロック)と入力端子40に供給されるクロック(同期間 **人 ミングチャート図ぢら思らぢなように、OR52の出** 【0055】NOT50の出力(送り返されてきた原ク

【0056】リセット信号が"L"になりDFF54および55がリセットされると、両者のQ出力は同時に"L"になるためOR57の出力にはなんら影響を与えず、従って駆動ソリス発生回路10の出力にもなんら影響を与えずに位相比較回路28はリセットされる。リセジット信号が"H"になりリセットが解ければ、また位相

3

い心短御方法を行ったが、実施図15ついた点へたのと が回路を構成する際に問題となるが、実施例3ではこの 度変化あるいはそれらのパラッキ等に起因する不安定性 度変化あるいはそれらのパラツキ等に起因する不安定性 同様、この除去する個数が1以外の奇数であっても同様 れる原クロックと駆動/パルス発生回路10から同期信号 ような問題が解決できる。 がない。即ち、実施例2の回路では、回路素子連延や温 27と位相比較回路28を用いれば、回路素子遅延や温 な効果が得られる。以上のような実施例3の2週倍回路 るために、 比較回路 2 8 の出力に堪力いて 2 通倍回路 2 発生回路11に出力されるクロックの位相差を一定に? 7に入力される一方のクロックを1個除去するか否かと 【0057】上記の説明は、カメラヘッドから送り出さ

[0058] |発明の効果||以上のように、欝求項1の発明によれ

り切り換える必要の無い、つまり遅延量切り換えスイッ な長さであっても、位相補償用の遅延量をスイッチによ ントローラ(2)を接続するケーブル(3)がどのよろ に一定となる。従って、カメラヘッド (1) とカメラコ ブリング用バルスの位相はケーブルの長さに拘わらず常 動パルス発生手段(10)から出力される相関二重サン 御をしているため、固体撮像素子(5)の出力と前記覧 バルス発生手段(10)から前記同期信号発生手段(1 ックをカメラヘッド(1)に送り返し、これと前記駆動 は、包圧一周波数変換手段(67)の出力である原クロ チが不要な撮像装置を得ることができる。 1) へ出力されるクロックの位相差を一定にするよう例

単な回路構成で実現できる。 【0059】繭水頂2によれば、上記の所望の動作が簡

るいはそれらのバラッキ等に超因する不安定性がない。 の遅延時間の如何に拘らず、所望の動作が実現できる。 【0061】請求項4では、回路素子選延や温度変化あ |図面の簡単な説明] 0060] 請求項3によれば、駆動バルス発生手段内

(図 2) (ZI L) 実施例1の操像装置を示す図である。

(図 3) 図1のドライブ回路25の一例を示す図であ 図1のドライブ回路21の一例を示す図であ

[図4] 図1の波形整形回路26の一例を示す図であ

一例を示す図である。 【図5】 図1の2逓倍回路27と位相比較回路28の

検出回路、67位1年-周波数変換回路。

特開平7-322130

Ē

特開平7-322130

ス発生回路の一例を示す図である。 【図6】 2相駆動の場合の水平レジスタ転送休止パル

路23の一実施例を示す図である。 ック発生回路22およびリセットゲートクロック発生回 ( 8 8 [⊠7] 波形盤形回路20、水平レジスタ駆動用クロ 図6の回路の主要部の波形を示す図である。

【図10】 図7に示す回路のタイミングチャート図で 【図9】 図8の回路の主要部の波形を示す図である。

相比較回路28の一例を示す図である。 【図11】 実施例2で用いられる2通倍回路27と位

たある。 (図12) 図11に示す回路のタイミングチャート図

【図13】 実施例3で用いられる2週倍回路27と位

相比較回路28の一例を示す図である。 【図14】 図13に示す回路のタイミングチャート図

従来の協像装置を示す図である。

なめる。

示す図である。 [図16] [図15] 図15の水平クロックドライバ6の一仭を

′の一例を示す図である。 【図17】 図15のリセットケートクロック発生回路

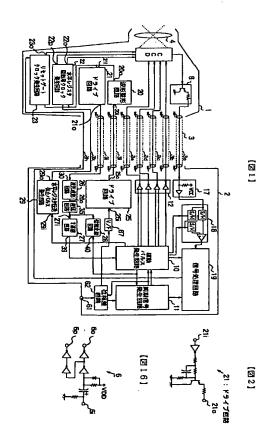
ブ回路 15の一例を示す図である。 【図18】 図15の水平レジスタ転送クロックドライ

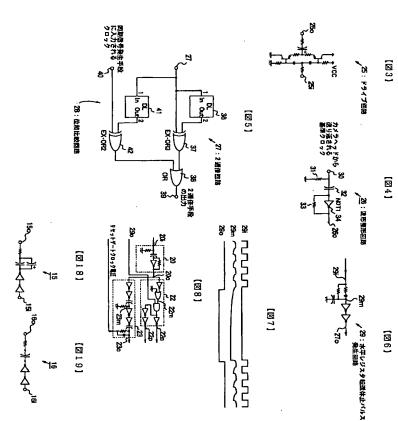
回路16の一例を示す図である。 【図20】 図15の位相検出回路の一例を示す図であ 【図19】 図15のリセットゲートクロックドライフ

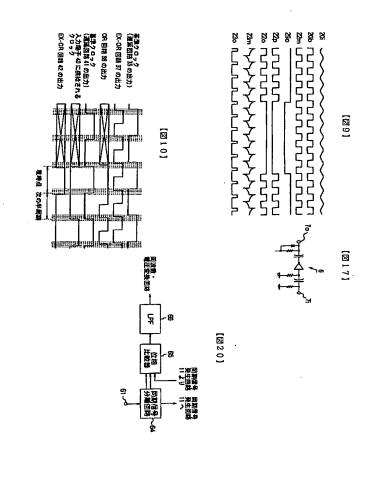
子の水平駆動バルスおよび相関二重サンプリング用バル スの位相を示す図である。 【図21】 図15の固体操像素子の出力、固体機像素 【符号の説思】

ម

路、18 相関2位サンプリング回路、19 信号処理 生回路、12 垂直クロックドライバ、17 増幅回 用ケーブル、5 固体協像素子、8 出力信号用ドライ 42 EX-ORゲート、43 DFF、62 位相差 X-0Rゲート、38 0Rゲート、41 遅延回路、 トゲートクロック発生回路、25 ドライブ回路、26 回路、20 波形整形回路、21 ドライブ回路、22 1 カメラヘッド、2 カメラコントローラ、3 接線 水平レジスタ駆動用クロック発生回路、23 リセッ 選延回路、36 1/4周期選延する回路、37 E **被形整形回路、27 2速倍回路、28 位相比較回** 29 水平レジスタ転送休止パルス発生回路、35 駆動パルス発生回路、11 同期信号系





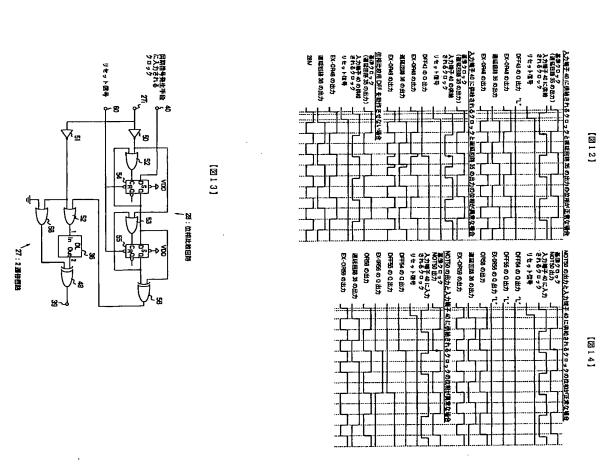


Ξ

特開平7-322130

(12)

特開平7-322130



18日4ヶヶ田田

28:佐相比較回路

[1 1 🖾]

(13)

